

09/29/06

(Translation of the front page
of the priority document of
Japanese Patent Application
No. 10-169924)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : June 17, 1998

Application Number : Patent Application
10-169924

Applicant(s) : CANON KABUSHIKI KAISHA

May 21, 1999

Commissioner,

Patent Office

Takeshi ISAYAMA

Certification Number 11-3031701

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願 年 月 日
Date of Application:

1998年 6月17日

願 番 号
Application Number:

平成10年特許願第169924号

願 人
Applicant(s):

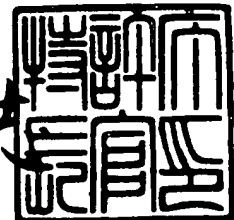
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 5月21日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



【書類名】 特許願

【整理番号】 3583006

【提出日】 平成10年 6月17日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/04
H04N 5/325

【発明の名称】 固体撮像装置とその駆動方法

【請求項の数】 8

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 櫻井 克仁

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 光地 哲伸

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 小泉 徹

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 樋山 拓己

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 上野 勇武

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 須川 成利

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置とその駆動方法

【特許請求の範囲】

【請求項 1】 光ダイオードで発生された信号電荷を転送する電荷転送手段と、この電荷転送手段により前記光ダイオードから転送された信号電荷を入力端子に受け画素の出力線に出力する増幅手段と、この増幅手段の入力端子をリセットする第 1 のリセット手段を含む画素セルを複数個備え、上記画素の出力線には上記増幅手段の負荷手段と第 2 のリセット手段が設けられていることを特徴とする固体撮像装置。

【請求項 2】 請求項 1 に記載の固体撮像装置において、上記画素からの出力信号を一時保持するための第 1 の容量と、上記保持容量に転送するための第 3 のスイッチ手段が設けられていることを特徴とする固体撮像装置。

【請求項 3】 請求項 1 に記載の固体撮像装置において、第 1 のタイミングにおいて読み出したリセット電圧を一時保持するための第 1 の容量と、上記第 1 の保持容量に転送するための第 4 のスイッチ手段と、第 2 のタイミングにおいて読み出した光信号電圧を一時保持するための第 2 の容量と、上記第 2 の保持容量に転送するための第 5 のスイッチ手段とを設けたことを特徴とする固体撮像装置。

【請求項 4】 請求項 1 に記載の固体撮像装置において、上記増幅手段と電源との間に、行を選択する第 6 のスイッチ手段を設けたことを特徴とする固体撮像装置。

【請求項 5】 請求項 1 に記載の固体撮像装置において、上記増幅手段と前記画素の出力線との間に、行を選択する第 7 のスイッチ手段を設けたことを特徴とする固体撮像装置。

【請求項 6】 光ダイオードで発生された信号電荷を転送する電荷転送手段と、この電荷転送手段により前記光ダイオードから転送された信号電荷を入力端子に受け画素の出力線に出力する増幅手段と、この増幅手段の入力端子をリセットする第 1 のリセット手段を含む画素セルを複数個備えた固体撮像装置であって、第 1 のタイミングにおいて、上記第 1 のリセット手段を動作させて増幅手段の

入力端子をリセットしてリセット電圧を読み出し、第2のタイミングで、上記電荷転送手段を制御して上記光ダイオードで発生された信号電荷を前記増幅手段の入力端子に転送してそれに対応した電圧を読み出す固体撮像装置の駆動方法において、前記信号電荷の読み出しに先立って第2のリセット手段を制御し前記画素の出力線をリセットすることを特徴とする固体撮像装置の駆動方法。

【請求項7】 請求項6に記載の固体撮像装置の駆動方法において、前記第1のタイミングで読み出したリセット電圧を第4のスイッチ手段により一時保持するための第1の容量に転送し、前記第2のタイミングで上記画素からの出力信号を第3のスイッチ手段により一時保持するための第2の容量に転送することを特徴とする固体撮像装置の駆動方法。

【請求項8】 請求項6に記載の固体撮像装置の駆動方法において、上記増幅手段と電源との間に行を選択する第6のスイッチ手段を設け行選択パルスによって前記出力線に前記リセット電圧及び前記信号電荷を読み出し、又は、上記増幅手段と前記画素の出力線との間に行を選択する第7のスイッチ手段を設け前記行選択パルスによって前記出力線に前記リセット電圧及び前記信号電荷を読み出すことを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像装置に関し、特にビデオカメラやデジタルスチルカメラ用のイメージ入力装置に広範に用いられる固体撮像装置に関するものである。

【0002】

【従来の技術】

近年、高解像化のため、微細化プロセスを用いた光電変換素子のセルサイズ縮小が精力的に行われる一方、光電変換信号出力が低下することなどから、光電変換信号を増幅して出力することが可能な増幅型の光電変換装置が注目されている。このような増幅型光電変換装置には、MOS型、AMI、CMD、BASIS等がある。このうち、MOS型はフォトダイオードで発生した光キャリアをMOSトランジスタのゲート電極に蓄積し、走査回路からの駆動タイミングに従って

、そのゲート電極の電位変化を、出力部へ電荷増幅して出力するものである。近年では、このMOS型のうち、光電変換部や、その周辺回路部を含め全てCMOSプロセスで実現するCMOS型光電変換装置が特に注目されてきている。

【0003】

ところで、上記CMOS型光電変換装置は画素内の電荷増幅アンプで信号電荷の増幅を行う反面、上記アンプの入力MOSトランジスタのしきい値 V_{th} や、アンプゲインのバラツキが、信号の S/N の劣化を招く。特にしきい値 V_{th} のバラツキは数mV以下に抑えることは現状の製造技術では困難であり、一方、光信号の飽和電圧は電源電圧に依存するため、数Vであるのが実際である。従って、両者の比である S/N は3桁が上限で、市場の要求である70～80dBを達成するのは非常に困難であった。

【0004】

この技術的課題を克服すべく、なされた提案の1つに特開平4-61573号公報がある。図5に該公報により開示された固体撮像装置の等価回路図を示す。また、上記公知技術例の動作を図6の1画素相当の等価回路図と図7のタイミングチャートを用いて以下、簡単に説明する。図6において、フォトダイオードD1からの信号読み出しに先立って、端子CR1、CR2、CS1にパルスを印加することによって、垂直信号線VL3はGNDレベルに、容量C1、C3はともにVSSにリセットされる。その後端子CR1のパルスをロウレベルにし、端子RSにパルスを印加することによって、増幅用MOSFETQ2のゲートは電圧VRSにリセットされる。

【0005】

そしてリセットパルスRSをロウレベルにした後、端子V3にハイレベルのパルスを印加すると、増幅MOSFETQ2のドレインに動作電圧VDDが供給され、これにより、MOSFETQ2のゲート電圧に対応した電圧VNが、ノイズ信号として垂直信号線VL3に読み出される（ノイズ信号読み出し）。

【0006】

次に、CR2のパルスを立ち下げ、容量C1の出力側とC3の一方の電極をフローティング状態とする。この時、端子V3をロウレベルにして、選択MOSF

ETQ3をオフ状態にする。そして、端子CR1にパルスを入力し、垂直出力線VL3をリセットすると、容量C1の出力側とC3の一方の電極の電位は上記バイアス電圧VSSから容量C1とC3の容量比に応じて分割された電圧だけ低下した電圧($VSS - VN'$)になる。ここで VN' は次式で表される。

【0007】

$$VN' = C1 \times VN / (C1 + C3) \quad \dots (1)$$

次にCR1の端子のパルスを立ち下げ、行選択用端子V3と転送スイッチ用VGにパルスをハイレベルにし、電荷転送スイッチであるQ1をオンして、フォトダイオードD1に蓄積された信号電荷を入力容量CPに転送すると同時に選択MOSFETQ3がオンし、増幅MOSFETQ2のドレインに、選択MOSFETQ3を介して動作電圧VDDが供給され、これにより、Q2のゲート電圧に対応した電圧VSが垂直信号線VL3に読み出される（光信号読み出し）。

【0008】

この動作により、容量C1の電位はVSが容量C1とC3の容量比に応じて分割された電圧分だけ上昇し、($VSS - VN' + VS'$)になる。

ここで VS' は、 VN' と同様に以下の式(2)で表される。

【0009】

$$VS' = C1 \times VS / (C1 + C3) \quad \dots (2)$$

従って、上記容量C1の電位は最終的に、

$$VC2 = VSS - C1 \times (VN - VS) / (C1 + C3) \quad \dots (3)$$

となり、(3)式の第2項の($VN - VS$)より、リセットMOSFETや増幅MOSFETのしきい値 V_{th} のバラツキ等が除去されたS/Nの高い信号が得られる。

【0010】

一方で、垂直出力線VL3をリセットするという概念は、非破壊読み出し特性を有する光電変換素子において、画素相互間の信号漏れ等の干渉を防止する目的で、例えば、特開昭58-48577号公報、特公平5-18309号公報に開示されている。

【0011】

上記公知技術例の動作を、前記により開示された固体撮像装置のセンサーエリアの図 8 に示すブロック図、図 9 に示す水平スイッチ回路図、図 10 に示すタイミングチャートを用いて以下、簡単に説明する。時刻 t_0 において、 PV_1 がハイレベルとなる。これに伴ってセンサアレイ C^j_i 内の垂直走査信号線 V_1 に接続されている MOS スイッチ $S^1_1 \sim S^{768}_1$ が導通し、セル $C^1_1 \sim C^{768}_1$ 内の画素信号が信号出力 $B_1 \sim B_{768}$ 上に出力される。時刻 t_0 よりもやや遅れて時刻 t_1 に、水平走査信号線 H_1 上の信号 PH_1 がハイレベルとなる。これに伴って、水平スイッチ回路内の MOS スイッチ $Q^1_1 \sim Q^1_{32}$ が導通し、信号出力線 $B_1 \sim B_{768}$ の 32 個のサブグループ内の左端の信号出力線上の画素信号が、多重化出力線 $A_1 \sim A_{32}$ 上に出力される。多重化出力線 $A_1 \sim A_{32}$ のそれぞれはアンプ $T_1 \sim T_{32}$ を介して出力される。 $T_1 \sim T_{32}$ は共通の定電流源と接地間に接続された差動トランジスタ対からなり、一方のトランジスタのベースにはアナログ画素信号が、他方のトランジスタのベースには遮光した画素からの暗電圧が供給され、暗電圧が差し引かれたアナログ信号が出力される。

【0012】

この後、水平走査信号線 H_1 上の信号 PH_1 がロウレベルに復帰し、時刻 t_2 に、水平走査信号線 H_2 上の信号 PH_2 がハイレベルになる。これに伴って、水平スイッチ回路内の MOS スイッチ $Q^2_1 \sim Q^2_{32}$ が導通し、信号出力線 $B_1 \sim B_{768}$ の 32 個のサブグループ内の左から 2 番目の信号出力線上の画素信号が、多重化出力線 $A_1 \sim A_{32}$ 上に出力される。以下同様にして、水平走査信号線 $H_3 \sim H_{24}$ までの信号が順次ハイレベルとなり、これに伴って各サブグループ内の信号出力線上のアナログ画素信号が出力される。最後の水平走査線 H_{24} 上の信号 PH_{24} がロウレベルに復帰した後、垂直走査信号線 V_1 上に信号 PV_1 がロウレベルに復帰して、この信号線 V_1 に連なるすべてのセルの水平走査が完了する。

【0013】

次に、信号線 V_3 に連なるセルの読み出しを開始する前に、ブランキング期間を設ける。このブランキング期間中にすべての水平走査信号線 $H_1 \sim H_{24}$ 上の信号 $PH_1 \sim PH_{24}$ をハイレベルにして、すべての信号出力線 $B_1 \sim B_{768}$

を対応する共通信号出力線A1～A32に接続すると共に、リフレッシュ線R上の信号PRをハイレベルにし、MOSスイッチR1～R32を導通させることにより、多重化信号出力線A1～A32を接地する。これによって、すべての信号出力線B1～B768が接地され、従前の走査に伴って残存していた画素信号がクリアされる。

【0014】

【発明が解決しようとする課題】

ところで、上記従来例中前者（特開平4-61573号公報）の構成の場合、

① C3から共通出力線へ信号を転送する際の感度を大きくするため、C3は数pF程度の容量が必要であり、また、(3)式第2項の $C1 / (C1 + C3)$ で決まる画素からの読み出し感度を大きくするため、容量C1はC3に対して数倍以上、大きくしなければならない。従って、チップサイズ、コストの制約から必ずしも十分な感度が得られない。

【0015】

② 上記読み出し方法によると、ノイズ読み出しの場合、容量C1の出力側はVSSにリセットされているが、光信号読み出しの場合、容量C1の出力はフローティングであり、画素からみたC1の容量はC1とC3との並列容量になる。従って、十分な時間をかけて読み出しを行う場合は問題ないが、時間が短くなる程、ノイズ信号と光信号間に出力電圧差が生じるため、ノイズ除去動作を高精度に行うことが困難になる。

【0016】

③ 上記読み出し方法によると、垂直出力線VL3をリセットする電圧は、MOSFETQ2のゲートに入力されるすべての信号レベルに対しても、MOSFETQ2がオンできるような電圧にする必要があるため、リセット電圧に制限がある。

【0017】

また、上記従来例中、後者（特公平5-18309号公報）の構成の場合の問題点を図11を用いて説明する。図11は、例えば、垂直走査信号線V1に接続されている画素信号を読み出す場合を示している。画素セル C_1^1 の画素信号電

圧 V_{S1} 、画素セル C_1^{24} の画素信号電圧を V_{S2} 、……画素セル C_1^{24} の画素信号電圧を V_{S24} 、信号出力線 B_1 、 B_2 …… B_{24} の寄生容量を C_1 、差動トランジスタ T_1 に接続されたトランジスタのベースに接続された寄生容量を C_2 、共通信号出力線を A_1 とし、ベースに入力される信号電圧を V_{SO} とする。信号出力線 B_1 の信号を読み出したときの信号電圧 V_{SO}' は次式で表される。

【0018】

$$V_{SO}' = (C_2 V_{SO} + C_1 V_{S1}) / (C_2 + C_1) \quad \dots (4)$$

信号出力線 B_2 の信号を読み出したときの信号電圧 V_{SO}'' は次式で表される。

【0019】

$$V_{SO}'' = (C_2 V_{SO}' + C_1 V_{S2}) / (C_2 + C_1) \quad \dots (5)$$

上記構成のように、ブランキング期間のみのリセットMOSトランジスタ R_1 のゲートへのリセットパルス R によるリセットで、隣接する画素間の干渉を抑えるためには、(5)式より $C_2 V_{SO}'$ を小さくするため、 C_1 を C_2 に比べてかなり大きくする必要がある。従って、この容量 C_1 を大きくすると、画素セルから転送する際の容量が大きくなり、感度が低下するという問題があった。

【0020】

本発明は、上記①②③による問題点の感度、ノイズ成分、リセット電圧について、それぞれを解決すると共に、イメージセンサとして光電変換感度の向上を目的とする。

【0021】

【課題を解決するための手段】

本発明は、上記問題点を解決すべくなされたものであり、光ダイオードで発生された信号電荷を転送する電荷転送手段と、この電荷転送手段により光ダイオードから転送された信号電荷を入力端子に受け画素の出力線に出力する増幅手段と、この増幅手段の入力端子をリセットする第1のリセット手段とを含む画素セルを複数個備えた固体撮像装置において、上記画素の出力線には上記増幅手段の負荷手段と第2のリセット手段が設けられていることを特徴とする。

【0022】

さらに、光ダイオードで発生された信号電荷を転送する電荷転送手段と、この電荷転送手段により光ダイオードから転送された信号電荷を入力端子に受け画素の出力線に出力する増幅手段と、この増幅手段の入力端子をリセットする第1のリセット手段を含む画素セルを複数個備えた固体撮像装置であって、第1のタイミングにおいて、上記第1のリセット手段を動作させて増幅手段の入力端子をリセットしてリセット電圧を読み出し、第2のタイミングで、上記電荷転送手段を制御して上記光ダイオードで発生された信号電荷を前記増幅手段の入力端子に転送してそれに対応した電圧を読み出す固体撮像装置の駆動方法において、前記信号電荷の読み出しに先立って第2のリセット手段を制御し前記画素の出力線をリセットすることを特徴とする。

【0023】

また、上記固体撮像装置の駆動方法において、前記第1のタイミングで読み出したリセット電圧を第4のスイッチ手段により一時保持するための第1の容量に転送し、前記第2のタイミングで上記画素からの出力信号を第3のスイッチ手段により一時保持するための第2の容量に転送することを特徴とする。

【0024】

さらに、上記固体撮像装置の駆動方法において、上記増幅手段と電源との間に行を選択する第6のスイッチ手段を設け行選択パルスによって前記出力線に前記リセット電圧及び前記信号電荷を読み出し、又は、上記増幅手段と前記画素の出力線との間に行を選択する第7のスイッチ手段を設け前記行選択パルスによって前記出力線に前記リセット電圧及び前記信号電荷を読み出すことを特徴とする。

【0025】

〔作用〕

上記固体撮像装置によれば、

- ① 増幅素子の負荷手段を設けることによって、クランプ容量 C_1 （図5）を設ける必要がなく、チップサイズを小さくすることができる。

【0026】

- ② ノイズ信号読み出しの場合と、光信号読み出しの場合の容量を等しくすることが可能であり、さらに、それぞれの信号を読み出す前に出力線をリセット

することによって、高速読み出しを行う場合においても、ノイズ信号と光信号間に出力電圧差が生じないため、ノイズ除去動作を高精度に行うことが可能である。

【0027】

③ 増幅素子に負荷手段を設けることによって、リセット電圧に制限がない。

【0028】

④ ノイズ信号読み出しと、光信号読み出しの前に、それぞれ出力線をリセットすることによって、画素からの信号を読み出すごとに、出力線がリフレッシュされ、隣接する画素間の干渉を抑えることが可能である。

【0029】

【発明の実施の形態】

〔実施形態1〕

図1は、本発明の固体撮像装置の第1実施形態のブロック図、図2は、例示的に示された画素セルの要部構成を表す回路図である。上記固体撮像装置を構成する各回路素子は、半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において、CMOS・LSIプロセス技術によって形成され、一般にCMOSセンサと称される。また、図1による固体撮像装置の画素セルS11～Smnはm行×n列の画素について説明するが、この数値に限定されない。

【0030】

まず、図2を用いて各画素セルS11～Smnの要部構成について説明する。光信号電荷を発生するフォトダイオードPDは、この例ではアノード側が接地されている。フォトダイオードPDのカソード側は、電荷転送スイッチTXを介して、増幅MOSM3のゲートに接続されている。また、上記増幅MOSM3のゲートには、これをリセットするためのリセットMOSM1のソースが接続され、リセットMOSM1のドレインは、リセット電圧VRに接続されている。さらに、上記増幅MOSM3のドレインは、動作電圧VDDを供給するための行選択MOSM2に接続されている。

【0031】

次に、図 1 を用いて、本発明の固体撮像装置の構成について説明する。上記各画素セル $S_{11} \sim S_{mn}$ の電荷転送スイッチ TX のゲートは、横方向に延長して配置される第 1 の行選択線（垂直走査線） TX_1 に接続される。同じ行に配置された他の画素セルの同様な電荷転送スイッチのゲートも上記第 1 の行選択線 TX_1 に共通に接続され、他の行 TX_i についても同様である。上記リセット MOS M_1 のゲートは、横方向に延長して配置される第 2 の行選択線（垂直走査線） RES_1 に接続される。同じ行に配置された他の画素セルの同様なリセット MOS のゲートも上記第 2 の行選択線 RES_1 に共通に接続され、他の行 RES_i についても同様である。

【0032】

また、上記選択 MOS M_3 のゲートは、横方向に延長して配置される第 3 の行選択線（垂直走査線） SEL_1 に接続される。同じ行に配置された他の画素セルの同様な選択 MOS のゲートも上記第 3 の行選択線 SEL_1 に共通に接続され、他の行 SEL_i についても同様である。これら第 1 ～第 3 の行選択線は、垂直走査回路ブロック VSR に接続され、後述する動作タイミングに基づいて、信号電圧が供給される。図 1 に示されている残りの行においても同様な構成の画素セルと、行選択線が設けられる。これらの行選択線には、上記垂直走査回路ブロック VSR により形成された $TX_2 \sim TX_m$ 、 $RES_2 \sim RES_m$ 、 $SEL_2 \sim SEL_m$ が供給される。

【0033】

上記増幅 MOS M_3 のソースは、縦方向に延長して配置される垂直信号線 V_1 に接続される。同じ列に配置される画素セルの同様な増幅 MOS M_3 のソースも上記垂直信号線 V_1 に接続される。上記垂直信号線 V_1 は、負荷手段である定電流源 I_1 に接続されるとともに、垂直信号線 V_1 をリセットするための MOS M_8 を介して垂直線リセット電圧 VVR に接続される。さらに、上記垂直信号線 V_1 は、ノイズ信号転送スイッチ M_4 を介してノイズ信号を一時保持するための容量 CTN に、また、光信号転送スイッチ M_5 を介して光信号を一時保持するための容量 CTS に同時に接続される。ノイズ信号保持容量 CTN と光信号保持容量 CTS の逆側の端子は接地されている。ノイズ信号転送スイッチ M_4 とノイズ信

号保持容量CTNとの接続点V1Nと、光信号転送スイッチM5と光信号保持容量CTSとの接続点V1Sはそれぞれ、保持容量リセットスイッチM9、M10を介してVRCTに接続されるとともに、水平転送スイッチM6、M7を介して、光信号とノイズ信号の差をとるための差動回路ブロックに接続される。水平転送スイッチM6、M7のゲートは列選択線H1に共通に接続され、水平走査回路ブロックHSRに接続される。図1に示されている残りの列V2～Vnにおいても同様な構成の読み出し回路が設けられる。

【0034】

また、各列に接続された垂直信号線リセットスイッチM8、ノイズ信号転送スイッチM4、光信号転送スイッチM5のゲートは、それぞれVRES、TN、TSに共通に接続され、後述する動作タイミングにもとづいてそれぞれ $\Phi VRES$ 、 ΦTN 、 ΦTS なる信号電圧が供給される。

【0035】

次に、本発明の固体撮像装置の動作について、図3を用いて説明する。フォトダイオードPDからの信号電荷の読み出しに先立って、リセットMOSM1のゲートへの $\Phi RES1$ および、垂直信号線リセットMOSM8のゲートへの $\Phi VRES$ がハイレベルとなる($\sim t1$)。これによって、増幅MOSM3のゲートがVRに、垂直信号線V1～VnがVVRにリセットされる。リセットMOSM1のゲートへの $\Phi RES1$ および、垂直信号線リセットMOSM8のゲートへの $\Phi VRES$ がロウレベルに復帰した後に($t1$)、選択MOSM2のゲートへの $\Phi SEL1$ および、ノイズ信号転送スイッチM4のゲートへの ΦTN がハイレベルとなる($t2$)。これによって、リセットノイズが重畳されたリセット信号(ノイズ信号)を増幅MOSM3のゲインをA倍とし、ゲート・ソース間電圧VGSだけレベルシフトした電圧がノイズ信号保持容量CTNに読み出される。この電圧V1Nは次式で表される。

【0036】

$$V1N = A(VR - VGS) \quad \dots (6)$$

ここで、ゲート・ソース間電圧VGSは、前述のように各画素セルごとの増幅MOSのしきい値 V_{th} のばらつきによってばらつく。次に、選択MOSM2の

ゲートへの $\Phi SEL1$ および、ノイズ信号転送スイッチM5のゲートへの ΦTN がロウレベルに復帰する($t3$)。

【0037】

このとき、垂直信号線V1の電圧は、垂直信号線につく寄生容量CPと負荷の定電流I1で決まる時定数で徐々に放電され降下する。ここで、負荷の定電流I1が接続されているために、垂直信号線V1をリセットする電圧VVRを高めを設定し、信号読み出し初期において、増幅MOSM3がオフ状態にあったとしても、負荷の定電流により垂直信号線の電圧が降下していくため、最終的には増幅MOSM3はオン状態となり、信号が読み出されることになる。したがって、垂直信号線のリセット電圧に制限がない。

【0038】

次に、信号電荷の転送に先立って垂直信号線リセットMOSM8のゲートへの $\Phi VRES$ がハイレベルとなり($t4$)、垂直信号線が再度VVRにリセットされる。これによって、次に光信号を読み出すときの垂直信号線の初期電圧が、ノイズ信号を読み出したときのそれに等しくなる。従って、高速読み出しを行う場合のように、ノイズ信号の読み出しと光信号の読み出しとの間に十分な時間がとれない場合においても、ノイズ信号と光信号間に出力電圧差が生じないため、後述するノイズ除去動作を高精度に行うことが可能である。

【0039】

次に、電荷転送スイッチTXのゲートへの $\Phi TX1$ がハイレベルとなり($t5$)、フォトダイオードPDの光信号電荷が、増幅MOSM3のゲートに転送される。電荷転送スイッチTXのゲートへの $\Phi TX1$ がローレベルに($t6$)、垂直信号線リセットスイッチのゲートへの $\Phi VRES$ がロウレベルに復帰した後に($t7$)、選択MOSM2のゲートへの $\Phi SEL1$ および、光信号転送スイッチM5のゲートへの ΦTS がハイレベルとなる($t8$)。これによって、光信号Vsigを増幅MOSのゲインA倍し、ゲート・ソース間電圧だけレベルシフトした電圧が光信号保持容量CTSに読み出される。この電圧は次式で表される。

【0040】

$$V1S = A(Vsig - VGS) \quad \dots (7)$$

次に、選択MOSM2のゲートへの $\Phi SEL1$ および、光信号転送スイッチM5のゲートへの ΦTS がロウレベルに復帰する($t9$)。このとき、垂直信号線V1の電圧は、垂直信号線V1につく寄生容量 C_p と負荷の定電流 $I1$ で決まる時定数で徐々に放電され降下する。

【0041】

次に、垂直信号線リセットMOSM8のゲートへの $\Phi VRES$ が再度ハイレベルとなり($t10$)、垂直信号線V1~Vnがリセットされる。ここまでの動作で、第1行目に接続された画素セルS11~S1nのノイズ信号と光信号が、それぞれの列に接続されたノイズ信号保持容量 CTN と光信号保持容量 CTS に保持される。

【0042】

この後、水平走査回路ブロックからの信号H1~Hnによって、各列の水平転送スイッチM6、M7のゲートが順次ハイレベルとなり($t11$)、ノイズ保持容量 CTN と光信号保持容量 CTS に保持されていた電圧が、順次差動回路ブロックに読み出される。差動回路ブロックでは、光信号V1S~VnSとノイズ信号V1N~VnNの差がとられ、出力端子VOUに順次出力される。例えば第1列の出力電圧VOUは、上記式(7)から式(6)を差し引いた次式で表される。

【0043】

$$VOU = V1S - V1N = A(Vsig - VR) \quad \dots (8)$$

従って、固定パターンノイズの原因となる各画素セルごとの増幅MOSのしきい値 V_{th} のばらつきが除去された信号が出力される。また、式(8)の右項中 $Vsig$ 及び VR には、リセットノイズが加算されているので、結果としてフォトダイオードPDで得られた光電荷が増幅されて出力電圧VOUとなっている。

【0044】

以上で、第1行目に接続された画素セルの読み出しが完了する。この後、第2行目の読み出しに先立って、ノイズ信号保持容量 CTN および光信号保持容量 CTS のリセットスイッチM9、M10のゲートへの ΦCTR がハイレベルとなり

、V R C Tにリセットされる。以下同様に、垂直走査回路のブロックV S Rからの信号によって、第2行目～第m行目に接続された画素セルC 2 1～C m nの信号が順次読み出され、全画素セルの読み出しが完了する。

【0045】

上記式(8)におけるゲインAは、増幅M O S M 3が電流源I 1を負荷とするソースフォロワ方式の増幅器で構成されているので、電圧ゲインはほぼ1である。従って、差動回路ブロックのゲインを1とすると、光信号成分とノイズ信号成分の差電圧がそのまま出力されることになる。また、増幅M O S M 3のしきい値のバラツキやリセットM O S M 1のしきい値のバラツキ及びリセットノイズ等を除去できるので、高S/Nの画像信号を得ることができる。

【0046】

また、上記実施形態では、保持容量C T N、C T Sまでの読み出しに、キャパシタ容量の分割電圧で読み出す方式を採用していないので、保持容量の値が垂直出力線の寄生容量に影響されず、コンパクトな固体撮像装置及び高速読み出しを可能とする。

【0047】

〔第2実施形態〕

図4は、本発明の第2実施形態を示す画素セルの要部構成を表す図である。図4を用いて各画素セルの要部構成について説明する。本画素セル及びその周辺回路は、C M O S・L S Iプロセス技術によって製造され、C M O Sセンサと称される。

【0048】

図4において、光信号電荷を発生するフォトダイオードP Dは、この例ではアノード側が接地されている。フォトダイオードP Dのカソード側は、電荷転送スイッチT Xを介して増幅M O S M 3のゲートに接続されている。また、上記増幅M O S M 3のゲートには、これをリセットするためのリセットM O S M 1のソースが接続され、リセットM O S M 1のドレインは、リセット電圧V Rに接続されている。さらに、上記増幅M O S M 3のドレインは、動作電圧V D Dに接続され、ソースは増幅M O Sを垂直信号線に接続するための選択M O S M 2に接続され

ている。行選択MOSM2を増幅MOSM3のソースに接続しているので、図2の画素セルに対して、VDD側のダイナミックレンジを広げることができる。

【0049】

図1の固体撮像装置の各画素セルC11～Cmnを、図4に示した上記画素セルの回路に置き換えた場合においても、第1実施形態と同様の構成が可能であり、第1実施形態と同様の動作方法によって同様の効果が得られることは言うまでもない。

【0050】

本固体撮像装置においても、図3に示したタイミングチャートにより各画素セルのノイズ信号成分を $t_2 \sim t_3$ 間に、光信号成分を $t_8 \sim t_9$ 期間に読み出し、差動回路ブロックでその差の出力信号VOUTを得ることができる。

【0051】

$$VOUT = V1S - V1N = A(Vsig - VR) \quad \dots (8)$$

この出力信号VOUTには、リセットMOSM1や増幅MODM3のしきい値 V_{th} が含まれていないので、従来問題とされていたCMOSセンサの固定パターンノイズを削減できる。式(8)の右項中 $Vsig$ 及び VR には、リセットノイズが含まれることになり、結果としてフォトダイオードPDで得られた光電荷そのものが電圧変換されて、出力電圧VOUTとなり、ノイズ成分をその増幅回路のしきい値等のバラツキをも削減して、 S/N の高い画像信号を得ている。

【0052】

また、垂直走査回路や水平走査回路等を含むCMOSプロセス技術による高集積化も可能となり、小型化、低消費電力のイメージセンサを得ることができる。

【0053】

【発明の効果】

以上説明したように、本発明によれば、リセットノイズによる信号の S/N 劣化や、増幅MOSのしきい値 V_{th} のバラツキによる信号の S/N の劣化を抑制することができ、かつ、以下のような効果がある。

【0054】

- ① 増幅素子の負荷手段を設け、信号を一時保持するための容量にソースフォ

ロワで読み出すため、上記容量はクランプ容量C1（図5）と比較し、小さい容量で十分な感度がとれるため、チップサイズを小さくできる。

【0055】

② 垂直信号線をリセットするスイッチを設け、ノイズ信号読み出しの後、光信号読み出しに先立って垂直信号線をリセットすることによって、高速読み出しを行う場合においても、ノイズ信号と光信号間に出力電圧差が生じないため、ノイズ除去動作を高精度に行うことが可能である。

【0056】

③ 増幅MOSに負荷手段を設けることによって、垂直信号線をリセットする電圧を高め設定し、信号読み出し初期において、増幅MOSがオフ状態にあったとしても、負荷の定電流により垂直信号線の電圧が低下していくため、最終的には増幅MOSはオン状態となり、信号が読み出されることになる。従って垂直信号線のリセット電圧に制限がない。

【0057】

④ ノイズ読み出しと、光信号読み出しの前に、それぞれ出力線をリセットすることによって、画素からの信号を読み出すごとに、出力線がリフレッシュされ、隣接する画素間の干渉を抑えることが可能であり、クロスモジュレーションやブルーミングを防止できる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態を示す固体撮像装置の構成要素を説明するブロック図である。

【図2】

本発明の固体撮像装置の各画素セルの要部構成を説明する回路図である。

【図3】

本発明の固体撮像装置の動作を説明する動作タイミング図である。

【図4】

本発明の固体撮像装置の各画素セルの要部構成を説明する回路図であり、本発明の第2実施形態を示す回路図である。

【図 5】

従来例の固体撮像装置の等価回路図である。

【図 6】

図 6 の従来例の固体撮像装置の 1 画素相当の等価回路図である。

【図 7】

図 6 の従来例の固体撮像装置の動作タイミング図である。

【図 8】

従来例の固体撮像装置のセンサーエリアのブロック図である。

【図 9】

図 8 の従来例の固体撮像装置の水平スイッチ回路図である。

【図 10】

図 8 の従来例の固体撮像装置の動作タイミング図である。

【図 11】

従来例の問題点を説明するための図である。

【符号の説明】

PD フォトダイオード
M1 リセットMOS
M2 行選択MOS
M3 増幅MOSトランジスタ
M4 ノイズ信号転送ゲート
M5 光信号転送ゲート
M6, M7 転送MOS
M8 垂直出力線リセットMOS
M9, M10 保持容量リセットMOS
S11~S_mn 画素セル
V1~V_n 垂直出力線
VSR 垂直走査回路ブロック
HSR 水平走査回路ブロック
ΦTX 転送パルス

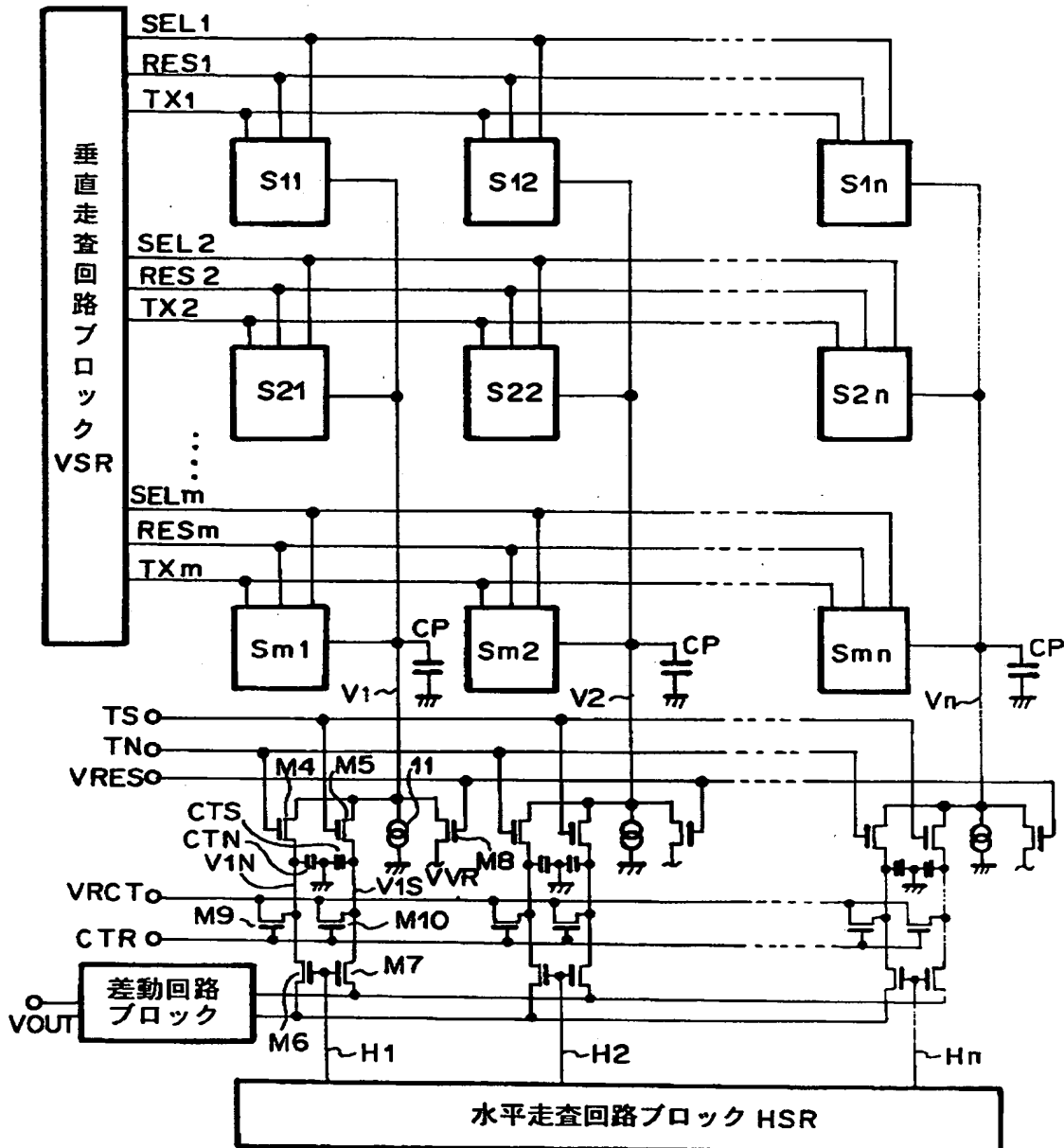
ΦRES リセットパルス

ΦSEL 行選択パルス

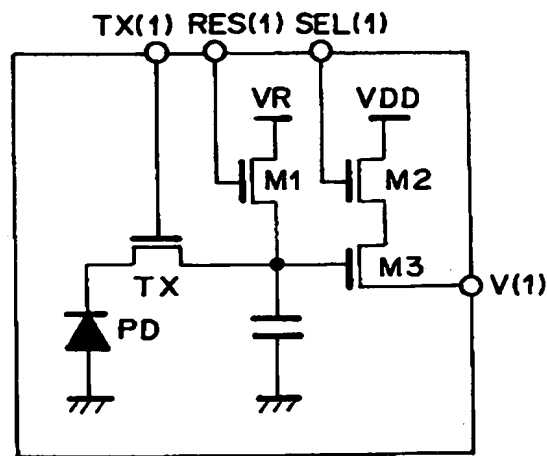
ΦTN ノイズ信号転送パルス

ΦTS 光信号転送パルス

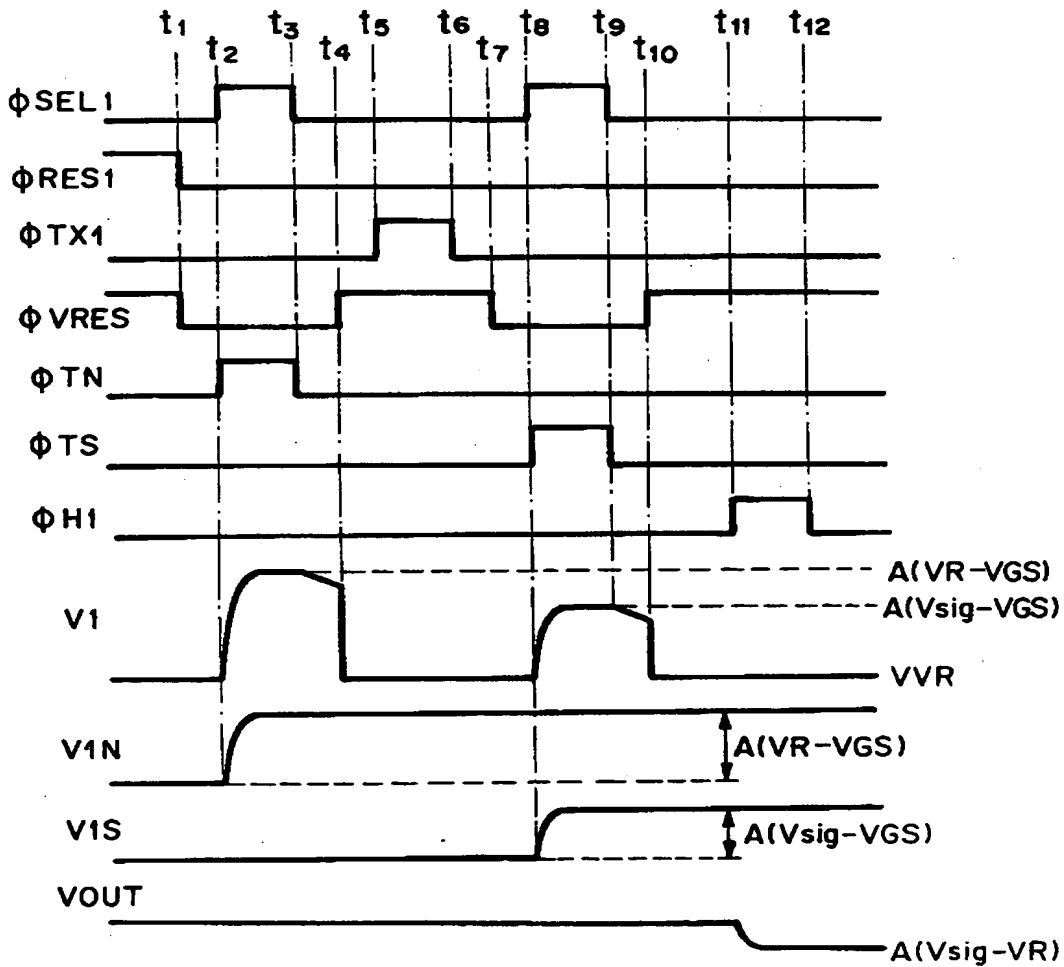
【図 1】



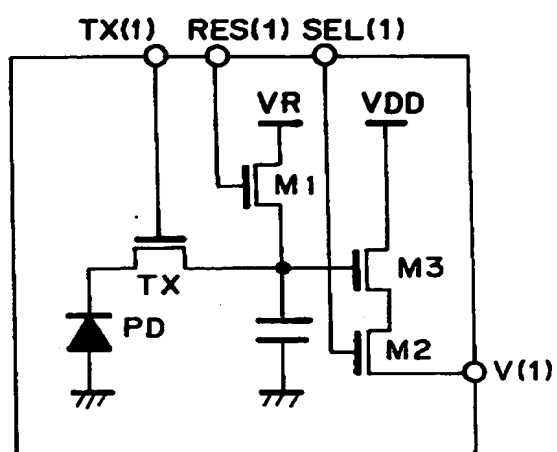
【図 2】



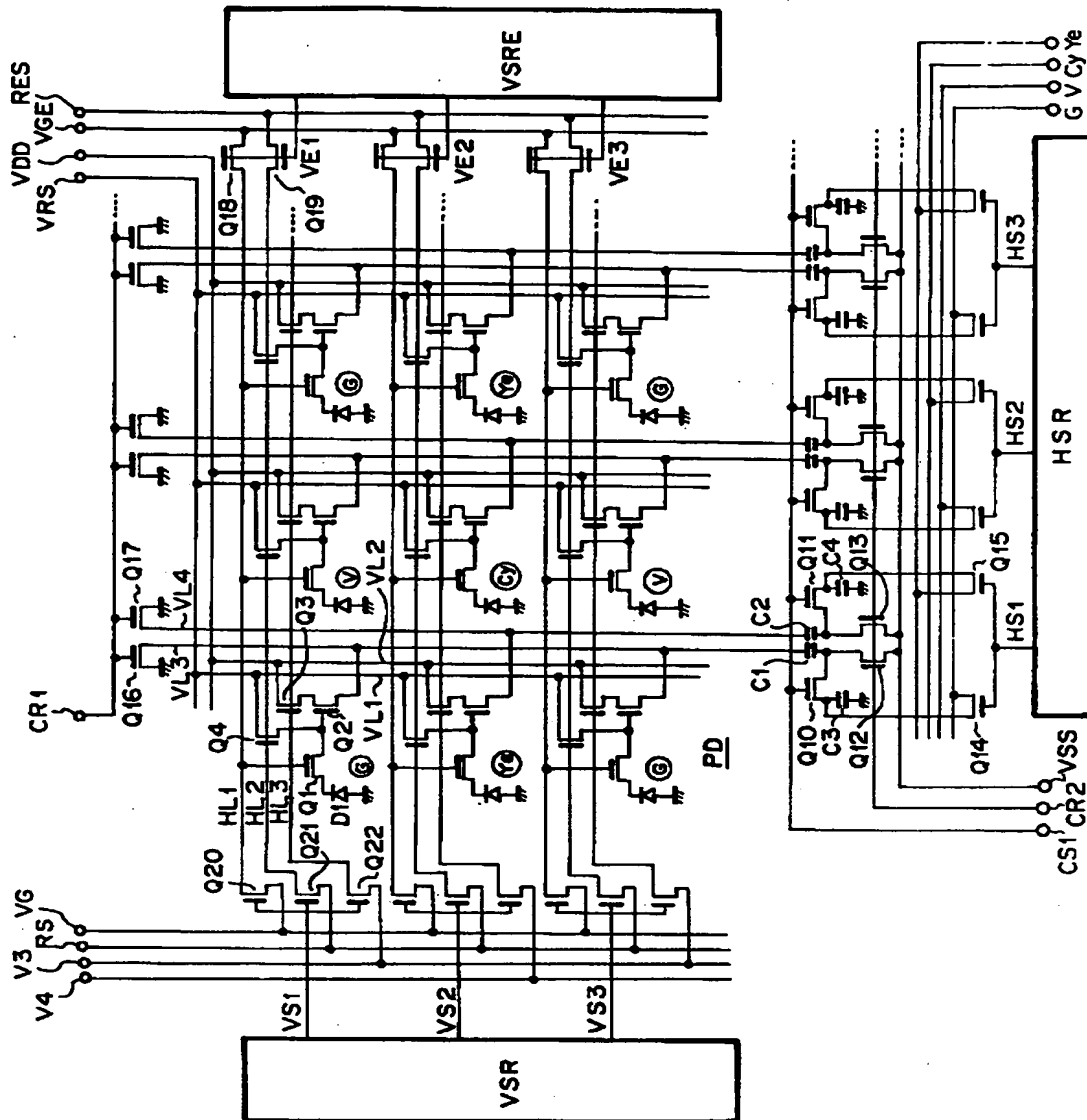
【図 3】



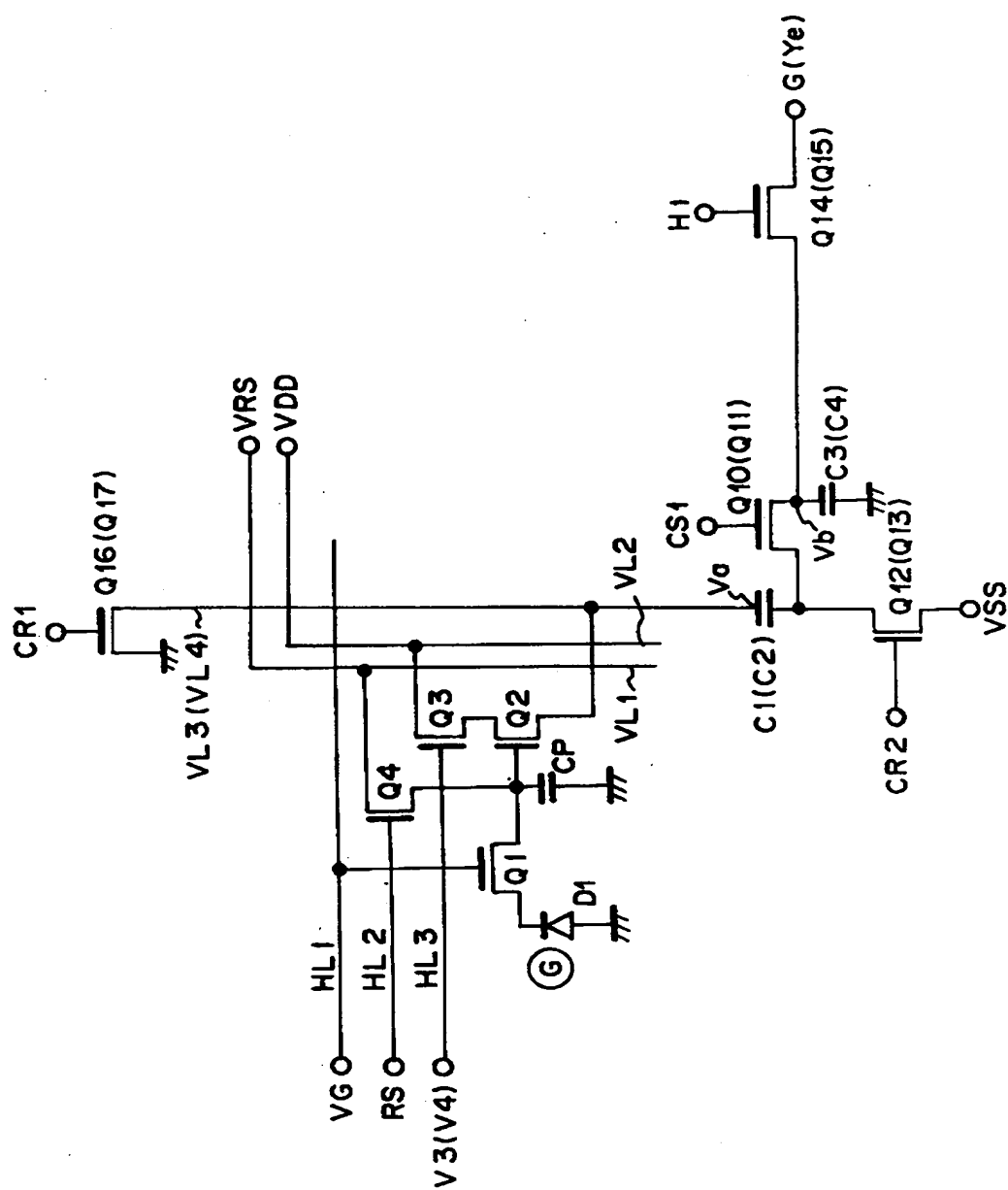
【図 4】



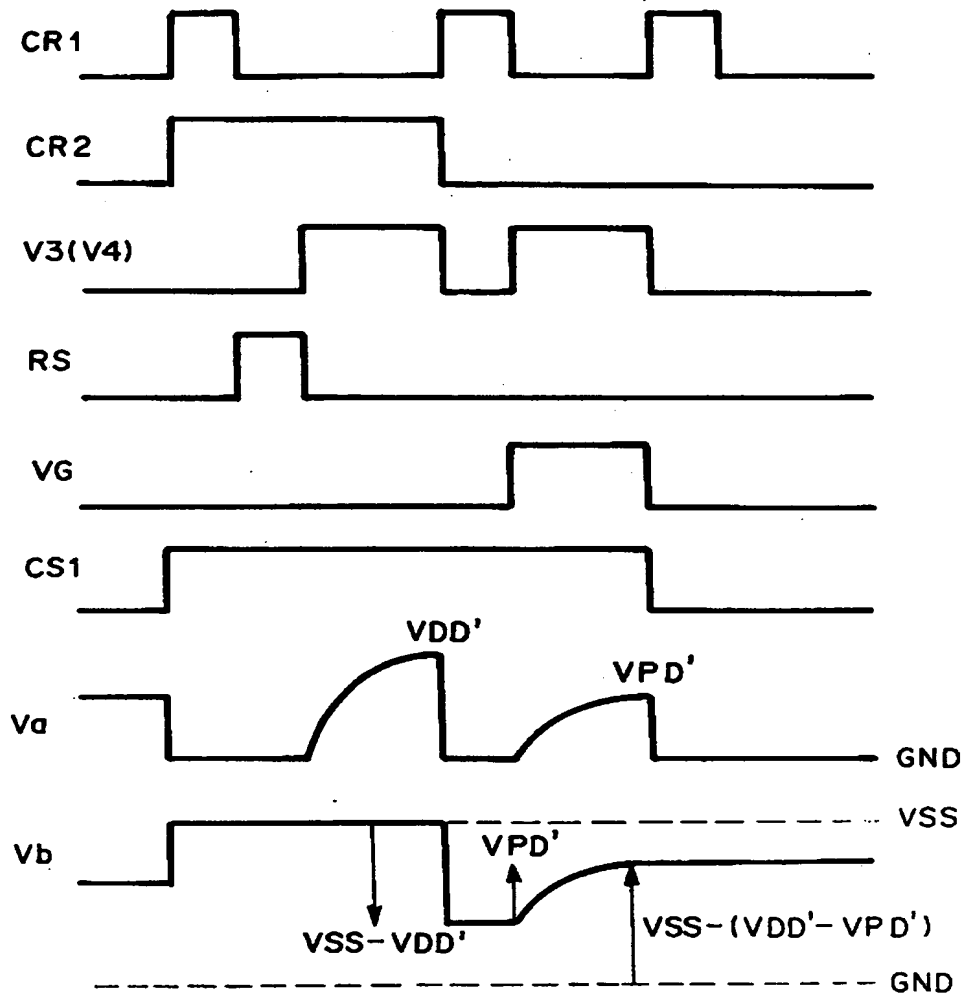
【図 5】



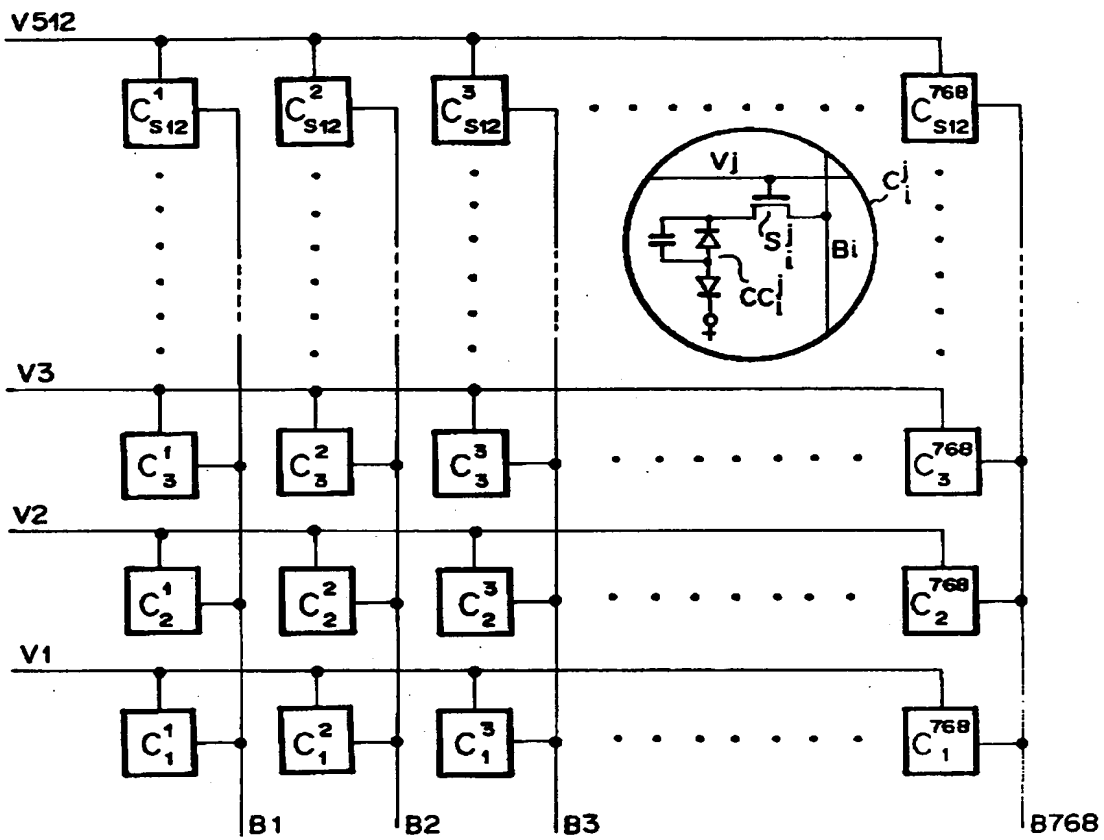
【図 6】



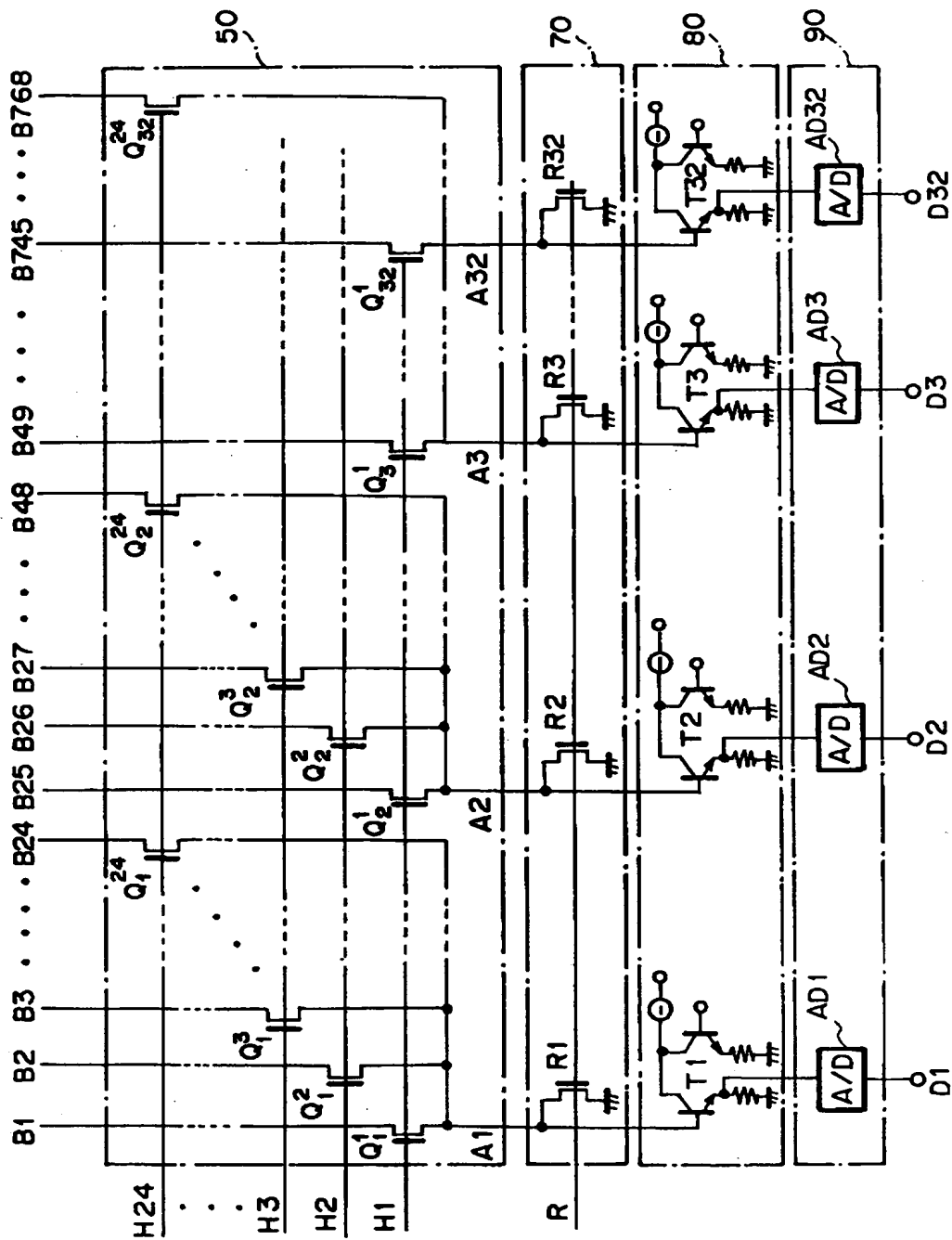
【図 7】



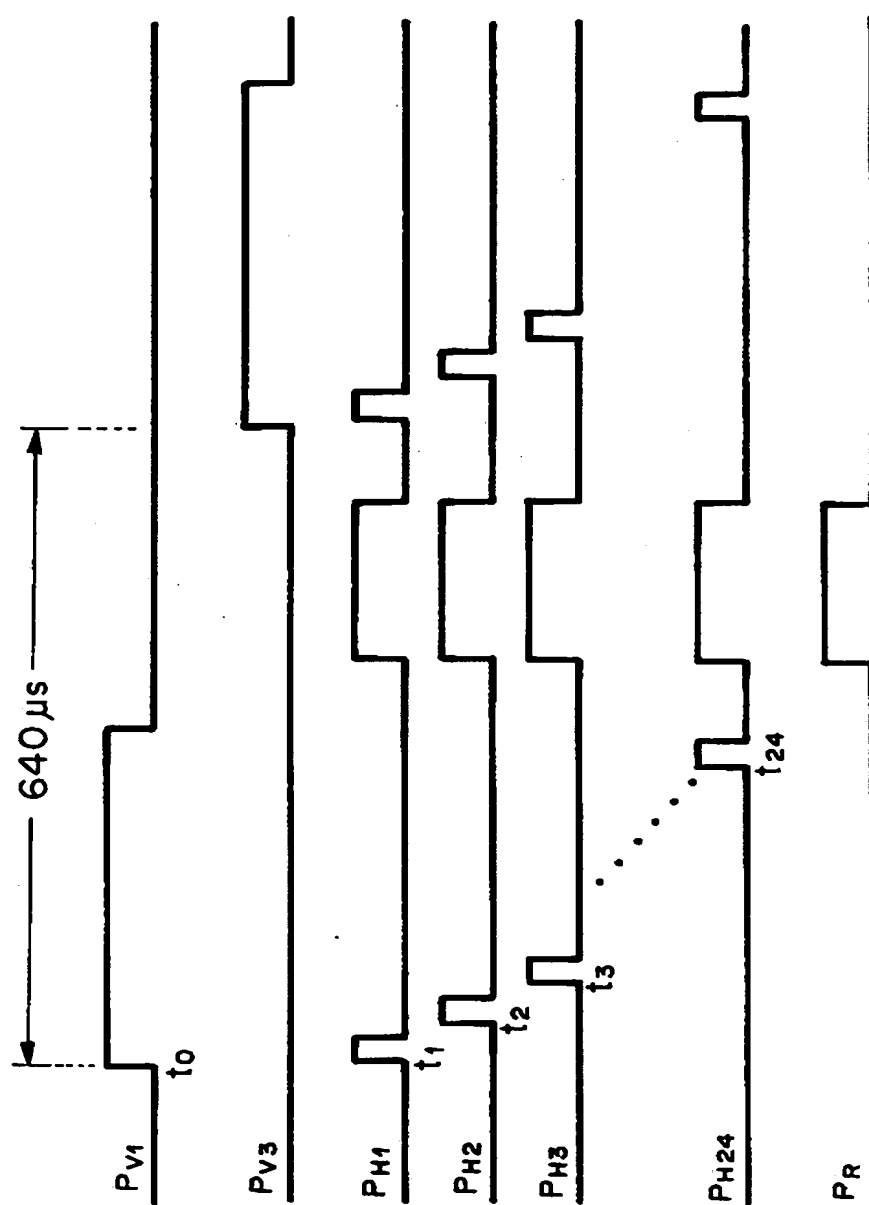
【図 8】



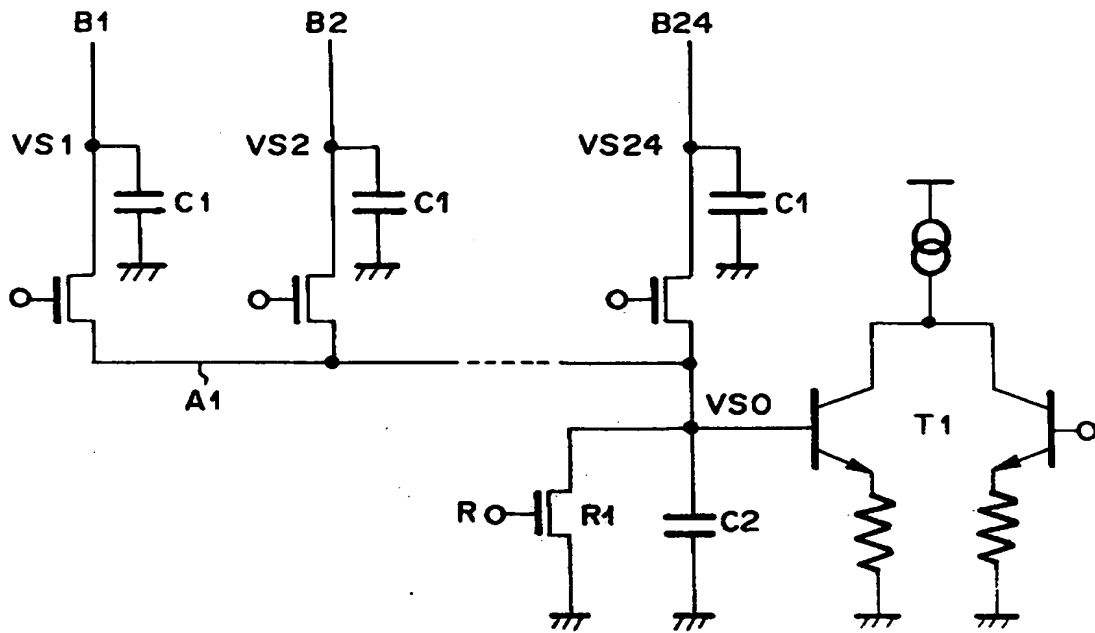
【図9】



【図 10】



【图 11】



【書類名】 要約書

【要約】

【課題】 感度の低下防止、ノイズ成分削減、リセット電圧の影響防止と共に、イメージセンサとして光電変換感度の向上を課題とする。

【解決手段】 固体撮像装置において、光ダイオードで発生された信号電荷を転送する電荷転送手段と、この電荷転送手段により光ダイオードから転送された信号電荷を入力端子に受け画素の出力線に出力する増幅手段と、この増幅手段の入力端子をリセットする第1のリセット手段を含む画素セルを複数個備え、画素の出力線には増幅手段の負荷手段と第2のリセット手段が設けられていることを特徴とする。リセット手段を動作させて増幅手段の入力をリセットしてリセット電圧を読み出し、電荷転送手段を制御して信号電荷を増幅手段の入力端子に転送してそれに対応した電圧を読み出す固体撮像装置の駆動方法において、信号電荷の読み出しに先立って第2のリセット手段を制御し出力線をリセットすることを特徴とする。

【選択図】 図1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000001007

【住所又は居所】

東京都大田区下丸子3丁目30番2号

【氏名又は名称】

キヤノン株式会社

【代理人】

申請人

【識別番号】

100065385

【住所又は居所】

東京都港区浜松町1丁目18番14号 SVAX浜
松町ビル

【氏名又は名称】

山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社